

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284749

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 31/10

H 0 1 L 31/10

A

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-89586

(22) 出願日 平成9年(1997)4月8日

(71) 出願人 393012286

株式会社生体光情報研究所

山形県山形市松栄2丁目2番1号

(72) 発明者 牧内 正男

山形県山形市松栄2丁目2番1号 株式会社生体光情報研究所内

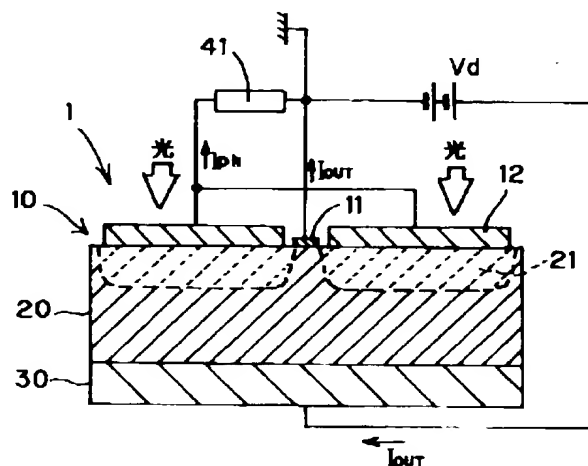
(74) 代理人 弁理士 山田 正紀 (外1名)

(54) 【発明の名称】 光検出素子

(57) 【要約】

【課題】 PINフォトダイオードやAPDと同程度の光吸収効率と、フォトトランジスタやFETと同程度の増幅機能とを1素子で実現でき、数ボルトの電圧で動作する光検出素子を提供することを目的とする。

【解決手段】 光検出素子1は、InPを材料とするn⁺型半導体のソース電極11と、InPを材料とするp⁺型半導体のゲート電極12とを有する第1の半導体層10、InGaAsを材料とするn型半導体の光吸収層である第2の半導体層20、およびInPを材料とするn⁺型半導体のドレイン電極である第3の半導体層30を備えている。



【特許請求の範囲】

【請求項1】 n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および n^+ 型半導体のドレイン電極である第3の半導体層を有することを特徴とする光検出素子。

【請求項2】 p^+ 型半導体のドレイン電極と、 n^- 型半導体または n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および n^+ 型の半導体層である第3の半導体層を有することを特徴とする光検出素子。

【請求項3】 p^+ 型半導体のドレイン電極と、 n^- 型半導体または n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および絶縁性半導体層である第3の半導体層を有することを特徴とする光検出素子。

【請求項4】 p^+ 型半導体のソース電極と、該ソース電極に近接して形成された n^- 型半導体または n^+ 型半導体のソース電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および p^+ 型半導体のドレイン電極である第3の半導体層を有することを特徴とする光検出素子。

【請求項5】 前記ゲート電極が、前記ソース電極を取り巻いた形で形成されてなることを特徴とする請求項1から4のうちいずれか1項記載の光検出素子。

【請求項6】 前記第1の半導体層および前記第3の半導体層のうち的一方もしくは双方が前記第2の半導体層よりも大きなバンドギャップを有することを特徴とする請求項1から5のうちいずれか1項記載の光検出素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体材料を用いた光検出素子に関する。

【0002】

【従来の技術】光通信等の分野で用いられる、半導体材料を用いた光検出素子は、既に実用化されており、特に、PINフォトダイオード、APD（アバランシェフォトダイオード）が良く知られている。

【0003】

【発明が解決しようとする課題】近年、生化学分野における極微弱光検出用の素子や、一般家庭へ情報を供給する光通信用の素子としての光検出素子の使用が期待されてきているが、これらの目的で使用される光検出素子には、高感度化、高信頼化の観点から、その光検出素子が光電流を増幅する機能（以下単に「増幅機能」と称する）を持つことが要求される。

トランジスタが考えられる。しかし、フォトトランジスタは、光吸収率が悪く、応答速度を高速化できないなどの問題がある。また、APDは、いわゆるなだれ増倍現象によって、素子に入射した光子の数よりも多い電子正孔対を発生させ、光電流を増大させるので、増幅機能を持つといえる。しかし、このなだれ増倍現象が安定に生じるためには、APDに数十ボルトの電圧が印加されなければならない、数ボルトの電圧で動作する集積回路等と電源回路を同一にすることができない。従って、光検出素子自身は小型であるにもかかわらず、電源装置も含めると大きな設置容積が必要であるという問題がある。このため、APDの低電圧動作化なども検討されているが、なだれ増倍現象の増倍率が低下するという問題がある。

【0005】FET（電界効果トランジスタ）は、電流を制御する活性層に光をあてると、ドレインとソース間に流れる電流量が変化するので、この変化量を検出すれば光検出が行われることになるし、増幅機能も持つことになる。しかし、活性層の厚さを厚くすることができないので、光吸収効率を高めることが困難であり、光電変換効率が悪く、光検出素子に応用するには適していない。

【0006】一方、PINフォトダイオードは増幅機能を持たないので、PINフォトダイオードとFETと組み合わせた回路を光検出回路として用いることが考えられる。しかし、PINフォトダイオードとFETとを同一半導体基板上に集積しようとすると、製作工程が複雑化することや、PINフォトダイオードとFETとの最適化が困難であること等の問題が生じる。このため、光検出装置全体の小型化が困難であり、コストダウンも図れないという問題がある。

【0007】本発明は、上記の事情に鑑み、PINフォトダイオードやAPDの光吸収率と同程度の光吸収率と、フォトトランジスタやFETの増幅機能と同程度の増幅機能とを1素子で実現でき、数ボルトの電圧で動作する光検出素子を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の第1の光検出素子は、 n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および n^+ 型半導体のドレイン電極である第3の半導体層を有することを特徴とする。

【0009】本発明の第2の光検出素子は、 p^+ 型半導体のドレイン電極と、 n^- 型半導体または n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および n^+ 型の半導体層である第3の半導体層を有することを特

【0010】本発明の第3の光検出素子は、 p^+ 型半導体のドレイン電極と、 n^- 型半導体または n^+ 型半導体のソース電極と、該ソース電極に近接して形成された p^+ 型半導体のゲート電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および絶縁性半導体層である第3の半導体層を有することを特徴とする。

【0011】本発明の第4の光検出素子は、 p^+ 型半導体のソース電極と、該ソース電極に近接して形成された n^- 型半導体または n^+ 型半導体のソース電極とを備えた第1の半導体層、 n^- 型半導体の光吸収層である第2の半導体層、および p^+ 型半導体のドレイン電極である第3の半導体層を有することを特徴とする。本発明の第1から第4の光検出素子はいずれも、前記ゲート電極が、前記ソース電極を取り巻いた形で形成されてなるものであることが好適である。

【0012】また、本発明の第1から第4の光検出素子はいずれも、前記第1の半導体層および前記第3の半導体層のうちの一方もしくは双方が前記第2の半導体層よりも大きなバンドギャップを有することが望ましい。

【0013】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は本発明の第1の光検出素子の一実施形態を示す正面図であり、図2は図1に示す光検出素子のA-A'方向に見た断面図である。図2に示すように、光検出素子1は、 InP を材料とする n^+ 型半導体のソース電極11と、 InP を材料とする p^+ 型半導体のゲート電極12とを有する第1の半導体層10、 $InGaAs$ を材料とする n^- 型半導体の光吸収層である第2の半導体層20、および InP を材料とする n^+ 型半導体のドレイン電極である第3の半導体層（以下「ドレイン電極層」と称する）30からなる3層構造を有する。

【0014】また、図1に示すように、ゲート電極12は比較的大きな面積（数 mm^2 ～数 cm^2 ）を有していて、比較的小さな面積を有するソース電極11を取り巻いて形成されている。図2に示したように、ゲート電極12、第2の半導体層20、およびドレイン電極層30は、それぞれ p^+ 型、 n^- 型、および n^+ 型の半導体になっている。また、 $InGaAs$ は、波長 $1\mu m$ から $1.7\mu m$ の範囲で光を効率よく吸収する（厚さ $3\mu m$ で90%程度の光吸収率を有する）し、後述するように第2の半導体層20の厚さは十分に厚くすることができるので、この波長範囲で、ゲート電極12、第2の半導体層20、およびドレイン電極層30の3層構造の部分は、PINフォトダイオードの動作をする。即ち、ゲート電極12とドレイン電極層30との間に逆バイアス電圧が印加され、第2の半導体層20で光が吸収されると、電子正孔対が生じて光電流がゲート電極12とドレイン電極層30との間に流れる。

層20、および第3の半導体層30の材料の組み合わせは、 $AlGaAs$ 、 $GaAs$ 、および $GaAs$ の組み合わせとしてもよく、あるいは $AlGaAs$ 、 $GaAs$ 、および $AlGaAs$ の組み合わせとしてもよい。これらの場合には、いずれも光吸収層の材料が $GaAs$ であるので、波長 $0.6\mu m$ から $0.9\mu m$ の範囲の光を検出することができる。

【0016】また、上述した半導体層の材料の、3種類の組み合わせのうちのいずれの組み合わせであっても、第1の半導体層10および第3の半導体層30のバンドギャップを、光吸収層である第2の半導体層20のバンドギャップよりも大きくすることができ、この場合には、第2の半導体層20のみで光が吸収されるので、光検出素子1の光吸収率が良くなる。後述する、本発明の第2、第3および第4の光検出素子の実施形態においても同様であるので、以後の説明では、1種類の、半導体材料の組み合わせについて説明し、他の材料の組み合わせについての説明は省略する。

【0017】図3は図1および図2に示す光検出素子で光検出を行う方法を示す模式図である。ソース電極11とゲート電極12との間に高抵抗41が電気的に接続され、ソース電極11は接地され、ソース電極11とドレイン電極層30との間には、ソース電極11側が負でドレイン電極層30側が正の直流電圧 V_d が印加される。このため、ゲート電極12とドレイン電極層30との間には、高抵抗41を介して直流電圧 V_d が印加されることとなり、ゲート電極12は p^+ 型半導体で、第2の半導体層20は n^- 型半導体であるので、第2の半導体層20内の電子は逆バイアスによる静電誘導作用によってゲート電極12周辺から排斥されて電子の空乏領域（以下単に「空乏領域」と称する）21が形成される。空乏領域21の辺縁部は、第2の半導体層20の、ソース電極11と接する部分にも広がり、この結果、直流電圧 V_d が十分に大きければ、ドレイン電極層30からソース電極11へ流れる電流（以下「出力電流」と称する） I_{out} は遮られる。なお、この現象は、第2の半導体層20の厚さが数 μm となっても起こるので、光吸収層である第2の半導体層20を十分に厚くして光吸収率を高くすることができる。

【0018】ここで、第2の半導体層20に光が入射すると、上述のように、PINフォトダイオードの動作により、ゲート電極12とドレイン電極層30との間に光電流 I_{ph} が流れ、この光電流 I_{ph} が高抵抗41を流れることにより高抵抗41で電圧降下がおきる。この電圧降下によって、ゲート電極12とドレイン電極層30との間の逆バイアス電圧が低下し、空乏領域21が縮小する。空乏領域21が縮小すると、出力電流 I_{out} を遮っている空乏領域21の辺縁部も縮小するため、出力電流 I_{out} が流れ始める。

5

な値のものに設定すれば、小さな光電流 I_{ph} に対して大きな出力電流 I_{out} を得ることが可能となるので、光検出素子1は増幅機能を有するものとなる。なお、図1において2点鎖線で示されている光照射領域12aは、この領域内に光が入射した場合に、他の領域に光が入射した場合と較べて光電流 I_{ph} の発生が大きい領域である。以下単に「光照射領域」と記述した場合は、このように、光が入射した場合に光電流 I_{ph} の発生が大きい領域を表すものとする。光照射領域は、換言すれば、バイアス電圧によって電子が十分に排斥された領域であって、光の入射によって発生した電子正孔対が効率よく光電流 I_{ph} として流れる領域である。光検出素子で光を検出する場合には、光照射領域のみに光を照射すれば光電変換効率は高くなる。一方、効率を特に追求しない場合には電子の空乏領域全体に光を照射しても良い。

【0020】光検出素子1は、図1に示したようにゲート電極12の面積が大きいため、光照射領域12aの面積も大きく、光検出素子1の感度は高い。図4は、図1および図2に示す光検出素子で微弱光を検出する方法を示す模式図である。ソース電極11とドレイン電極層30との間には、ノードNを介して、ソース電極11側が負でドレイン電極層30側が正の直流電圧 V_d が印加される。ノードNとゲート電極12との間には、互いに並列にスイッチ42とコンデンサ43とが電気的に接続されており、スイッチ42は始めは閉じられている。ノードNとソース電極11との間には必要に応じて、抵抗44が接続される。

【0021】空乏領域21の形成については図3の説明と重複するので省略する。微弱光の検出開始と同時に、スイッチ42が切られ、微弱光による小さな光電流 I_{ph} によってコンデンサ43が充電され始める。微弱光の検出時間が十分に長く、コンデンサ43が十分に充電されると、ゲート電極12とドレイン電極層30との間の逆バイアス電圧が減少し、電流を遮っていた空乏領域21が減少して、大きな出力電流 I_{out} が流れ出す。この出力電流 I_{out} を検出することで微弱光の検出ができる。なお、流れ出した出力電流はコンデンサ43が放電されない限り流れ続けるので、適宜スイッチ42を閉じてコンデンサ43を放電させる。

【0022】図5は本発明の第2の光検出素子の一実施形態の断面図である。光検出素子2は、InPを材料とする n^+ 型あるいは n 型半導体の層に亜鉛の拡散によって、ソース電極51の部分が残るようにそのソース電極51を取り巻いて p^+ 型半導体のゲート電極52が形成され、かつゲート電極52とは独立に p^+ 型半導体のドレイン電極53が形成されている第1の半導体層50、InGaAsを材料とする n 型半導体の光吸収層である第2の半導体層60、およびInPを材料とする

6

有する。また、光検出素子2は、マイクロレンズ81を有する、InPを材料とする基板80上に形成されている。

【0023】ここで、ソース電極51およびゲート電極52の面積は微細加工の技術によって十分小さくすることができ、その場合には、光検出素子2の動作速度は数ギガビット毎秒を実現できる。図6は図5に示す光検出素子で光検出を行う方法を示す模式図である。図6の左側半分の、ソース電極51およびゲート電極52と第2の半導体層60と第3の半導体層70とで構成されている部分の構造は、図2で示した光検出素子の構造と同等であり、また、その部分の動作は図3で説明した、光検出素子の動作と同等であるので、ここでは説明を省略する。

【0024】図6の右側半分には、順方向にバイアス電圧が印加されることとなるので電子の空乏領域は生じない。この結果ドレイン電極53からソース電極51へ流れる電流は、まずドレイン電極53から第2の半導体層60を介して第3の半導体層70へ流れ、次に第3の半導体層70内を流れて、最後に第3の半導体層70から第2の半導体層60を介してソース電極51へ流れる経路をたどることとなる。

【0025】上述したように、ゲート電極52の面積は小さく、このため光照射領域も小さい。しかし、マイクロレンズ81によって入射光は、ゲート電極52付近に集光されるため、光照射領域が小さくても効率よく光吸収が起き、光検出素子2の感度が向上する。図7は本発明の第3の光検出素子の一実施形態の断面図である。

【0026】光検出素子3は、InPを材料とする n^+ 型あるいは n 型半導体の層に亜鉛の拡散によって、ソース電極91の部分が残るようにそのソース電極91を取り巻いて p^+ 型半導体のゲート電極92が形成され、かつゲート電極92とは独立に p^+ 型半導体のドレイン電極93が形成されている第1の半導体層90、InGaAsを材料とする n 型半導体の光吸収層である第2の半導体層100、およびマイクロレンズ111を有する、InPを材料とする絶縁性基板110からなる3層構造を有する。

【0027】図8は図7に示す光検出素子で光検出を行う方法を示す模式図である。光検出素子3の構造は、図5に示した光検出素子の構造と較べて、 n^+ 型半導体の層がないことと基板が絶縁性であることが相違しているが、その他の点については同一の構造であり、光検出素子3の動作は図6に示した、光検出素子の動作とほぼ同一である。

【0028】但し、光検出素子3は、絶縁性の基板110と第2の半導体層100とが直接接する構造であるため、ドレイン電極93から第2の半導体層100へ流れた電流は、第2の半導体層100内を流れてソース電極

おいては、第2の半導体層100内の電子の空乏領域101が、絶縁性の基板110に接する部分まで広がっていれば、ソース電極91に接する部分に広がっていても電流を阻止することができる。従って、ソース電極91の面積を大きくしても、光検出素子3は動作するので、光検出素子3の作製は図5に示した光検出素子の作製よりも容易である。

【0029】図9～図12は図5および図7に示した光検出素子の、基本的な電極配置例を示す図である。図9および図10に示す電極配置例では、ドレイン電極53、93はゲート電極52、92と独立に配置されている。図11および図12に示す電極配置例では、ドレイン電極53、93はゲート電極52、92を取り巻くように配置されている。

【0030】また、図9～図12に示した接続用メタルパンプ120はAuSn、In等の接続融材で形成されている。図5および図7に示した光検出素子は、上述のように、ソース電極、ゲート電極、およびドレイン電極が同一半導体層に形成されているため、予めパターン化した回路基板の電極パッドに接続用メタルパンプ120

を介して直接接続することができる。
【0031】図13は本発明の第4の光検出素子の一実施形態の断面図である。光検出素子4は、InPを材料とするp⁺型半導体のソース電極131と、InPを材料とするn⁺型あるいはn⁻型半導体のゲート電極132とを有する第1の半導体層130、InGaAsを材料とするn⁻型半導体の光吸収層である第2の半導体層140、およびInPを材料とするp⁺型半導体である第3の半導体層150からなる3層構造を有する。

【0032】ここで、光検出素子4は、InPを材料とするp⁺型半導体の基板160上に形成されており、基板160の裏面にはドレイン電極161が形成されている。従って、第3の半導体層150、基板160、およびドレイン電極161は一体となってドレイン電極としての役割を果たす。図14は図13に示す光検出素子で光検出を行う方法を示す模式図である。

【0033】図3に示す光検出方法の場合と較べて、直流電圧V_dが印加される方向が逆であって、第3の半導体層150の側から電子が排斥されて電子の空乏領域141が形成される点が相違しているが、光検出素子4の動作原理は、図3に示す、光検出素子の動作原理と同じであるので説明は省略する。図15～図20は本発明の光検出素子を使った光検出回路の例を示す回路図である。

【0034】図15～図20の回路図で用いられている回路記号のうちで、図1から図14までの説明において既に説明した素子等に対応するものについては、図1～図14で使った番号と同じ番号を付し、説明を省略する。ここで、光検出素子を表す回路記号は、新たに提案

出素子の回路記号が示され、図22にはn⁺型またはn⁻型ゲートを持つ光検出素子の回路記号が示されている。なお、図15～図20にはp⁺型ゲートを持つ光検出素子を用いた回路図のみが示されているが、いずれの回路においても、p⁺型ゲートを持つ光検出素子をn⁺型またはn⁻型ゲートを持つ光検出素子に置き換えた回路は、置き換える前の回路と同等の動作を行う。

【0035】図15および図16は、図3、図6、図8、および図14に示す検出方法を行うための具体的な回路例を示す回路図である。図15に示す回路では、直流電源171とドレイン電極との間に抵抗172が配置されており、ドレイン電極とソース電極との間の電圧が出力電圧V_{out}として測定される。また、図16に示す回路では、直流電源171とソース電極との間に抵抗173が配置されており、抵抗173の両端の電位の差が出力電圧V_{out}として測定される。

【0036】図15および図16の回路は、各抵抗41、172、173の抵抗値を最適な値にすることでより高感度な検出器となる。図17および図18は、図4に示す検出方法を行うための具体的な回路例を示す回路図である。図17に示す回路では、図15に示す回路の場合と同様に直流電源171とドレイン電極との間に抵抗174が配置されており、ドレイン電極とソース電極との間の電圧が出力電圧V_{out}として測定される。また、図18に示す回路では、図16に示す回路の場合と同様に、直流電源171とソース電極との間に抵抗175が配置されており、抵抗175の両端の電位の差が出力電圧V_{out}として測定される。

【0037】図17および図18に示す回路のコンデンサ43の容量を小さくすることで回路の応答速度を高速化でき、その極限ではコンデンサ43を取り除くこともできる。図19および図20は、極微弱光を測定するためのバランス型の回路を示す回路図である。

【0038】本発明の光検出素子はリーク電流や暗電流を生じ、また一般に、光検出時には信号光以外の光が背景光として光検出素子に入射するため、ノイズの原因となる。従って、極微弱光の検出をする場合には、SN比向上のために、このようなリーク電流や背景光等の影響を取り除くことが必要である。図19および図20に示す回路では、光検出素子を図17および図18に示す回路を2つ使って、左右対称に配置した構成とし、2つの回路のうちの一方の回路の光検出素子に信号光と背景光を含んだ光を入射させ、他方の回路の光検出素子には背景光のみを入射させることで、ノイズの影響を取り除き極微弱光の検出を可能としている。

【0039】図15～図20に示す回路例等によって、本発明の光検出素子は、生物学の分野、医療分野、および天文分野などにおける極微弱光検出素子、光通信用光検出素子、集積回路上の光接続用の素子、集積回路チ

子等として、広範囲な分野に渡って応用され得る。

【0040】

【発明の効果】本発明の光検出素子によれば、1素子でPINフォトダイオードの光吸収率と同程度の光吸収率と、FETの増幅機能と同程度の増幅機能とをあわせ持つ光検出素子が得られる。また、本発明の光検出素子は数ボルトの電圧で動作するので、TTL回路やECL回路と電源を共有できる。

【図面の簡単な説明】

【図1】本発明の第1の光検出素子の一実施形態を示す正面図である。

【図2】図1に示す光検出素子のA-A'方向に見た断面図である。

【図3】図1および図2に示す光検出素子で光検出を行う方法を示す模式図である。

【図4】図1および図2に示す光検出素子で微弱光を検出する方法を示す模式図である。

【図5】本発明の第2の光検出素子の一実施形態の断面図である。

【図6】図5に示す光検出素子で光検出を行う方法を示す模式図である。

【図7】本発明の第3の光検出素子の一実施形態の断面図である。

【図8】図7に示す光検出素子で光検出を行う方法を示す模式図である。

【図9】図5および図7に示した光検出素子の、第1の電極配置例を示す図である。

【図10】図5および図7に示した光検出素子の、第2の電極配置例を示す図である。

【図11】図5および図7に示した光検出素子の、第3の電極配置例を示す図である。

【図12】図5および図7に示した光検出素子の、第4の電極配置例を示す図である。

【図13】本発明の第4の光検出素子の一実施形態の断面図である。

【図14】図13に示す光検出素子で光検出を行う方法を示す模式図である。

【図15】図3、図6、図8、および図14に示す検出方法を行うための第1の具体的な回路例を示す回路図である。

【図16】図3、図6、図8、および図14に示す検出方法を行うための第2の具体的な回路例を示す回路図である。

【図17】図4に示す検出方法を行うための第1の具体的な回路例を示す回路図である。

【図18】図4に示す検出方法を行うための第2の具体的な回路例を示す回路図である。

【図19】極微弱光を測定するための第1のバランス型の回路例を示す回路図である。

【図20】極微弱光を測定するための第2のバランス型の回路例を示す回路図である。

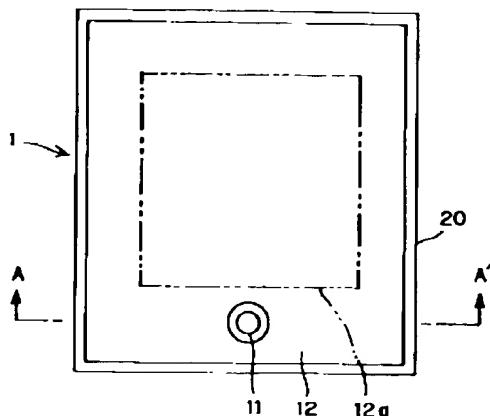
【図21】 p^+ 型ゲートを持つ光検出素子の回路記号を示す図である。

【図22】 n^- 型ゲートを持つ光検出素子の回路記号を示す図である。

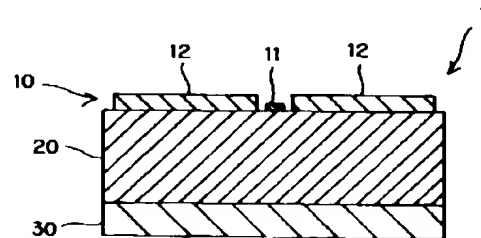
【符号の説明】

1, 2, 3, 4 光検出素子
10, 50, 90, 130 第1の半導体層
11, 51, 91, 131 ソース電極
12, 52, 92, 132 ゲート電極
53, 93, 161 ドレイン電極
20, 60, 100, 140 第2の半導体層
30, 70, 150 第3の半導体層
110 絶縁性基板
160 p^+ 型半導体の基板

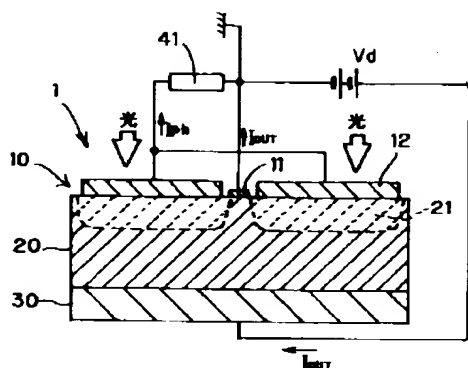
【図1】



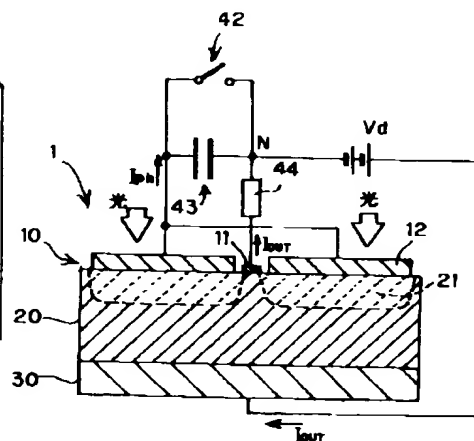
【図2】



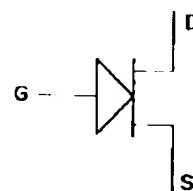
【図3】



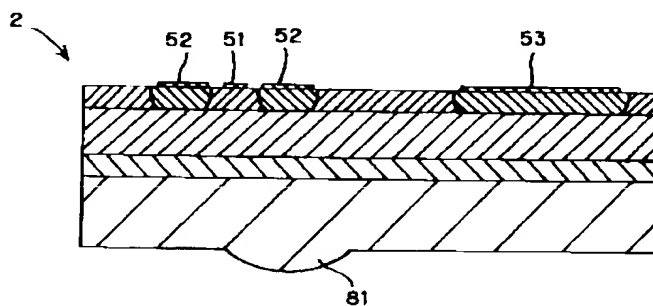
【図4】



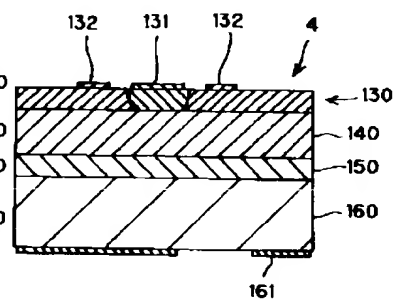
【図21】



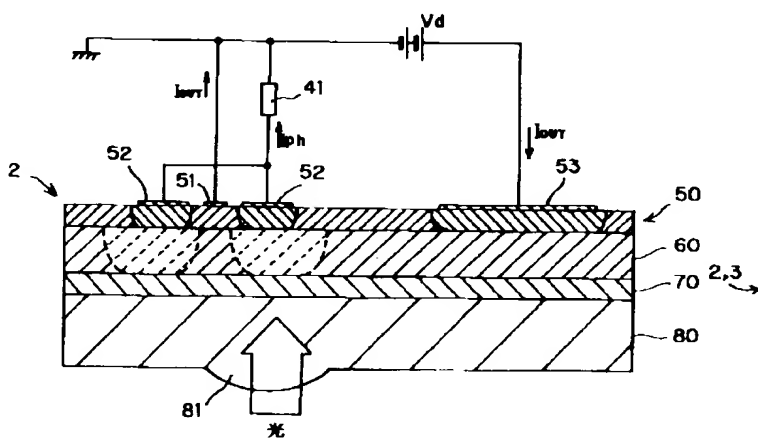
【図5】



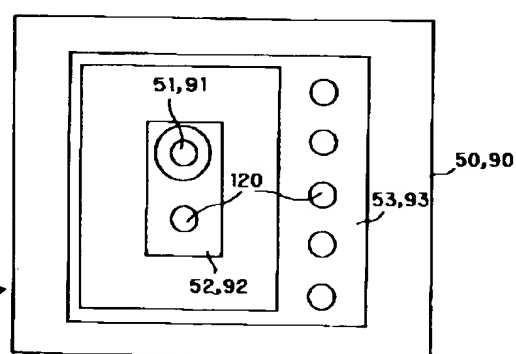
【図13】



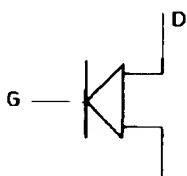
【図6】



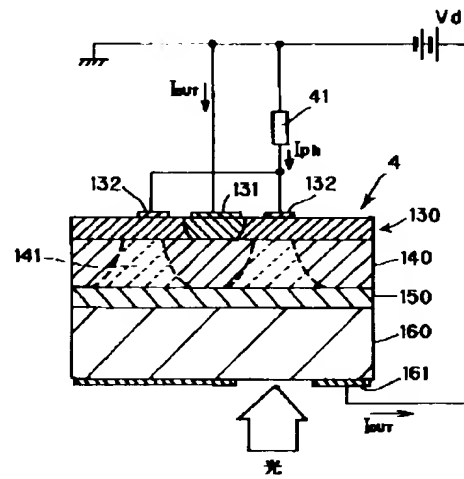
【図12】



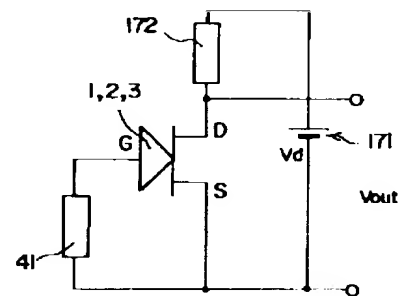
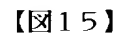
【図22】



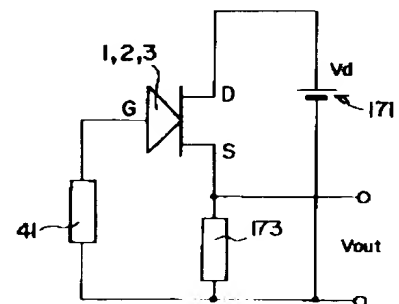
【图 14】



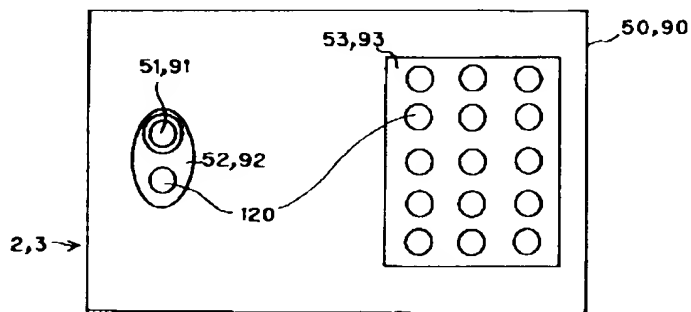
光



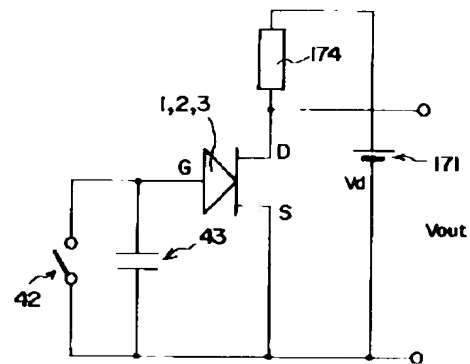
【図16】



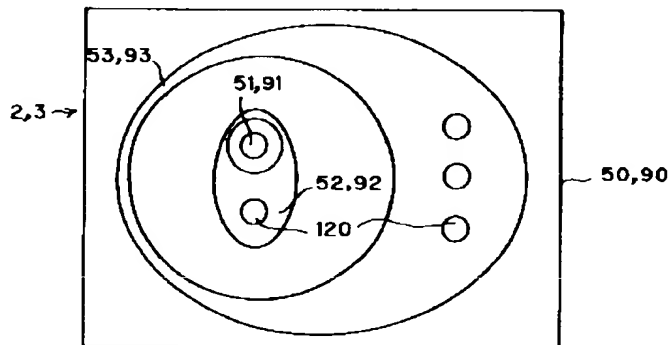
【図10】



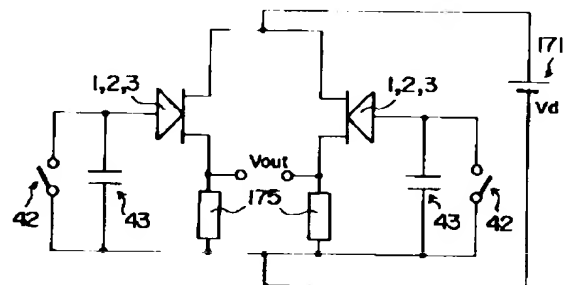
【図17】



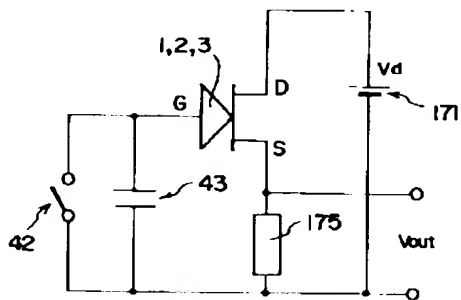
【図11】



【図20】



【図18】



【図19】

